|  |
| --- |
|  |
| МИНОБРНАУКИ РОССИИ |
| Федеральное государственное бюджетное образовательное учреждение  высшего образования  **«МИРЭА – Российский технологический университет»**  **РТУ МИРЭА** |

Институт информационных технологий

Кафедра вычислительной техники

|  |
| --- |
| **ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ №1**  **Разработка трёхвходового двоичного декодера с дополнительным входом разрешения** |
| *Разработка программно-аппаратного обеспечения информационных и автоматизированных систем* |

|  |  |  |
| --- | --- | --- |
| Отчет представлен  к рассмотрению:  Студент группы ИКМО-05-18 | «5» октября 2022 г. | Пленкин А.В. |
|  |  | (подпись и расшифровка подписи) |
|  |  |  |
| Отчет допущен  к защите: | «5» октября 2022 г. |  |
|  |  | (подпись и расшифровка подписи) |
| Руководитель  от кафедры | «5» октября 2022 г. | Унгер А.Ю. |
|  |  | (подпись и расшифровка подписи) |
|  |  |  |

Москва 2022

**Оглавление**

[Введение 3](#_Toc83712119)

[Использованная литература 9](#_Toc83712120)

# Введение

Современные программно-аппаратные комплексы строятся на базе интегральных микросхем (ИС). Интегральная микросхема может быть специализированной, в этом случае связи между составляющими ее логическими элементами устанавливаются на этапе разработки схемы, или программируемой, в этом случае соединения устанавливаются на этапе проектирования целевого устройства.

**Цель работы:** на базе программируемой логической интегральной схемы (ПЛИС) спроектировать цифровой трёхвходовый декодер с дополнительным входом разрешения.

**Порядок выполнения.**

1. Составить для *двухвходового декодера с дополнительным входом разрешения* таблицу истинности.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **enable** | **in1** | **in2** |  | **out1** | **out2** | **out3** | **out4** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 |

2. По таблице истинности составить *карту Карно*.

Таблица истинности для

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | **enable, in1** | **00** | **01** | **10** | **11** |
| **in2** |  |
| **0** | | 0 | 0 | 1 | 0 |
| **1** | | 0 | 0 | 1 | 0 |

Таблица истинности для

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | **enable, in1** | **00** | **01** | **10** | **11** |
| **in2** |  |
| **0** | | 0 | 0 | 0 | 0 |
| **1** | | 0 | 0 | 1 | 0 |

Таблица истинности для

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | **enable, in1** | **00** | **01** | **10** | **11** |
| **in2** |  |
| **0** | | 0 | 0 | 0 | 1 |
| **1** | | 0 | 0 | 0 | 0 |

Таблица истинности для

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | **enable, in1** | **00** | **01** | **10** | **11** |
| **in2** |  |
| **0** | | 0 | 0 | 0 | 0 |
| **1** | | 0 | 0 | 0 | 1 |

3. По карте Карно записать логическую формулу устройства на основе дизъюнктивной нормальной формы (ДНФ).

4. Зарисовать структурную схему устройства, состоящую из базовых логических вентилей (И, ИЛИ, НЕ).

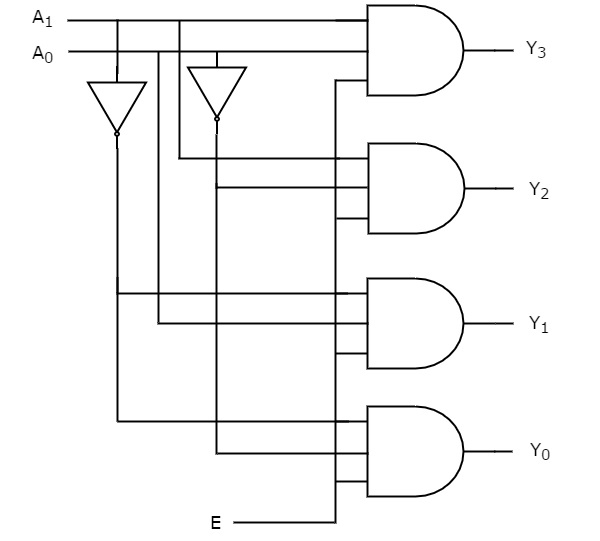


Рис 1. Структурная схема дешифратора 2-4

5. Создать проект в интегрированной среде разработки *Xilinx ISE*. Выбрать в качестве целевого устройства ПЛИС начального уровня семейства *Spartan-3*.

6. Написать исходный код на языке VHDL, описывающий работу устройства.

|  |
| --- |
| library ieee;  use ieee.std\_logic\_1164.ALL;  entity decoder\_2\_4 is  Port ( enable : in std\_logic;  input : in std\_logic\_vector (1 downto 0);  output : out std\_logic\_vector (3 downto 0));  end decoder\_2\_4;  architecture a\_decoder\_2\_4 of decoder\_2\_4 is  begin  output(0) <= (input(0) and input(1) and enable);  output(1) <= (not input(0) and input(1) and enable);  output(2) <= (input(0) and not input(1) and enable);  output(3) <= (not input(0) and not input(1) and enable);  end a\_decoder\_2\_4; |

7. Написать тестовый модуль (*Test Bench*) для проверки функционала устройства.

|  |
| --- |
| …  …  …  BEGIN    -- Instantiate the Unit Under Test (UUT)  uut: decoder\_2\_4 PORT MAP (  enable => enable,  input => input,  output => output  );  stim\_proc: process  begin  -- disabled 1  enable <= '0';  input <= "00";  wait for 50 ns;  assert output = "0000" report "broken 1";  wait for 100 ns;    -- disabled 2  enable <= '0';  input <= "01";  wait for 50 ns;  assert output = "0000" report "broken 2";  wait for 100 ns;  …  …  … |

8. Проверить работу устройства визуально по диаграммам переходов, с помощью симулятора *ISim*.

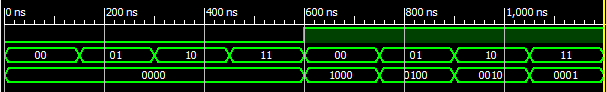


Рис 2. Диаграмма переходов дешифратора 2-4

9. На базе двухвходового декодера собрать *трёхвходовый декодер с дополнительным входом разрешения*.

10. Зарисовать структурную схему.

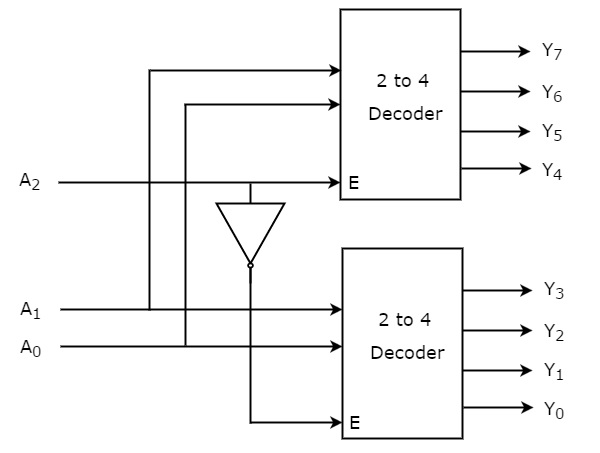


Рис 3. Структурная схема дешифратора 3-8

11. Описать схему на языке VHDL с двумя модулями: двухвходовой декодер (1) и трёхвходовый декодер (2). Сделать модуль 2 модулем *верхнего уровня*.

|  |
| --- |
| library ieee;  use ieee.std\_logic\_1164.ALL;  entity decoder\_3\_8 is  Port ( enable : in std\_logic;  input : in std\_logic\_vector (2 downto 0);  output : out std\_logic\_vector (7 downto 0));  end decoder\_3\_8;  architecture a\_decoder\_3\_8 of decoder\_3\_8 is  signal m1, m2 : STD\_LOGIC;  begin  m1 <= enable and input(2);  d1 : entity work.decoder\_2\_4 port map(  input(0) => input(0),  input(1) => input(1),  output(0) => output(0),  output(1) => output(1),  output(2) => output(2),  output(3) => output(3),  enable => m1  );    m2 <= enable and not input(2);  d2 : entity work.decoder\_2\_4 port map(  input(0) => input(0),  input(1) => input(1),  output(0) => output(4),  output(1) => output(5),  output(2) => output(6),  output(3) => output(7),  enable => m2  );  end a\_decoder\_3\_8; |

12. Проверить работу устройства визуально с помощью диаграмм переходов в симуляторе *ISim*.

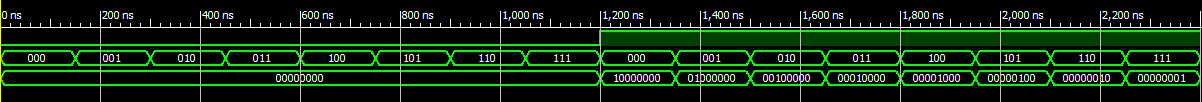


Рис 4. Диаграмма переходов дешифратора 3-8

13. Написать вывод о проделанной работе.

# Использованная литература

1. Потехин Д. С., Тарасов И. Е. Разработка программно-аппаратного обеспечения информационных и автоматизированных систем [Электронный ресурс]:конспект лекций. – М.: РТУ МИРЭА, 2020.

2. Строгонов А. В. Цифровая обработка сигналов в базисе программируемых логических интегральных схем [Электронный ресурс]:. - Санкт-Петербург: Лань, 2021.

3. Зайцев Е. И., Халабия Р. Ф. Организация ЭВМ и систем:учебное пособие. - М.: РТУ МИРЭА, 2019.

4. Певцов Е. Ф., Тарасов И. Е., Миннебаев В. М. Автоматизированное проектирование цифровых схем [Электронный ресурс]:учебное пособие. - М.: МИРЭА, 2016.

5. Красников А. К., Волосенков В. О., Никончук Я. С. Программирование микропроцессорных систем [Электронный ресурс]:учебное пособие. - М.: МГТУ МИРЭА, 2014.

6. Деменкова Т. А., Яровов Д. Д. Аппаратная реализация алгоритмов на FPGA [Электронный ресурс]:монография. - М.: МИРЭА, 2016.